

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64364

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 1 2 Z

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-219023

(22) 出願日 平成7年(1995)8月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 渋谷 司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

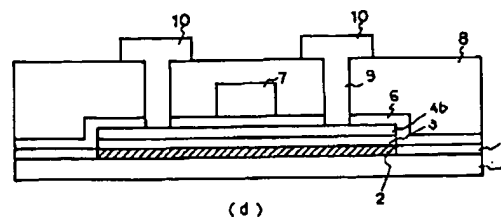
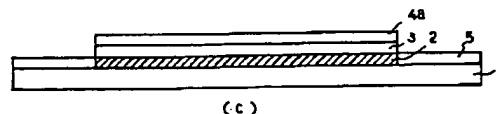
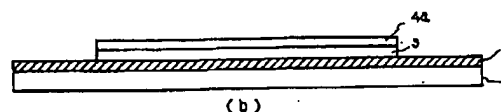
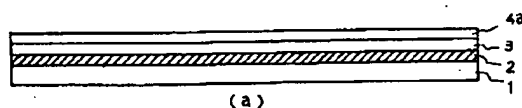
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 遮光膜を形成する場合、遮光膜を形成するためのレジストパターン形成工程、遮光膜のエッチング工程等が必要であるため、処理工程が大幅に増加し、また、遮光膜の段差部において、半導体膜が段切れを起こす。

【課題解決手段】 絶縁性基板1上に、遮光膜となる金属膜2、絶縁膜3、及び半導体膜4を順次形成する。次に、絶縁膜3及び半導体膜4とを所定の形状にパターニングした後、絶縁膜3及び半導体膜4をマスクに金属膜2の露出領域を酸化し、酸化膜5を形成する。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に遮光膜となる金属膜及び絶縁膜を介して堆積された半導体膜に形成された薄膜トランジスタ及び画素部を有する半導体装置の製造方法において、

上記絶縁性基板上に、上記金属膜、絶縁膜及び半導体膜を順次堆積する工程と、

上記絶縁膜及び半導体膜を所定の形状にパターニングした後、上記絶縁膜及び半導体膜をマスクに上記金属膜の露出領域を酸化する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項2】 絶縁性基板上に遮光膜となる金属膜及び絶縁膜を介して堆積された半導体膜に形成された薄膜トランジスタ及び画素部を有する半導体装置の製造方法において、

上記絶縁性基板上に、上記金属膜を堆積した後、該金属膜の表面を所定の厚さだけ酸化する工程と、

上記工程で形成された酸化膜上に上記半導体膜を堆積する工程と、

上記絶縁膜及び半導体膜を所定の形状にパターニングした後、上記絶縁膜及び半導体膜をマスクに上記金属膜の露出領域を酸化する工程とを有することを特徴とする、半導体装置の製造方法。

【請求項3】 上記金属膜を、Ta、Ti、Mo、Wのいずれかの高融点金属膜とすることを特徴とする、請求項1又は請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ガラス等の絶縁性基板上に設けられたTFTを用いる、特にアクティブマトリクス型の画像表示装置やイメージセンサー等に利用できる、半導体薄膜を活性領域に用いる半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】ガラス等の絶縁性基板上に薄膜トランジスタ（以下、「TFT」という。）を有する半導体装置としては、これらのTFTを画素スイッチング素子を用いるアクティブマトリクス型液晶表示装置やイメージセンサー等が知られている。これらの装置に設けられるTFTには、薄膜状のシリコン半導体膜として、非晶質シリコン膜や、結晶性を有するポリシリコン膜を用いたTFTにおいては、半導体膜への光の入射により、オフ電流の増加、しきい値電圧の変化等、信頼性を低下させる特性変動を生じる。

【0003】このため、図3に示すように、チャンネル領域に遮光膜を形成する技術が用いられている。図3

(a)は、従来のチャンネル領域に遮光膜を形成したTFTの断面図であり、同(b)は、従来のチャンネル領域に遮光膜を形成したTFTの平面図である。図3において、1は絶縁基板、2は遮光膜、3は絶縁膜、4は半導

体膜、6はゲート絶縁膜、7はゲート電極、8は層間絶縁膜、9はコンタクトホール、10はソース/ドレイン電極、11a、11bは所定の形状にパターニングされたフォトリジストを示す。

【0004】従来のチャンネル領域に遮光膜が形成されたTFTの製造工程を示す図4を用いて、従来のTFTの製造工程を説明する。

【0005】まず、ガラス等の絶縁性基板1上に遮光膜となるよう、厚さが100nmのTa等の金属薄膜2を形成する。その後、フォトリジストを堆積し、少なくともチャンネル領域をすべて覆うような所定の形状のフォトリジスト11aにパターニングする(図4(a))。

【0006】次に、パターニングされたフォトリジスト11aをマスクに上記金属膜2をエッチングする。その後、全面に絶縁膜3及びチャンネル領域、ドレイン領域及びソース領域が形成される半導体膜4を形成し、その上に、フォトリジストを塗布し、所定の形状にパターニングし(図4(b))、該フォトリジスト11bをマスクに半導体膜4を所定の形状にパターニングする(図4(c))。

【0007】その後、ゲート絶縁膜6及びゲート電極7を形成し、層間絶縁膜8を堆積させ、コンタクトホール9及びソース/ドレイン電極10を形成する(図4(d))。

## 【0008】

【発明が解決しようとする課題】しかし、上記従来の方法で、遮光膜を形成する場合、遮光膜を形成するためのレジストパターン形成工程、遮光膜のエッチング工程等が必要であるため、処理工程が大幅に増加する。また、一般的にプロセス上のマージンを確保するため、遮光膜は半導体膜のチャンネル領域よりも大きくレイアウトするため、図3(b)に示すように、遮光膜はチャンネル領域からはみ出した分だけ、TFT部が大きくなり、表示に寄与する面積の割合である開口率は低下する。更に、遮光膜の段差部において、半導体膜が段切れを起こすという問題点が生じる。

【0009】本発明は、上記問題点に鑑み、従来より工程数を低減し、半導体膜下に遮光膜による段差部を生じさせず、開口率も低下させず、遮光膜を形成する手段を提供することを目的とするものである。

## 【0010】

【課題を解決するための手段】請求項1記載の本発明の半導体装置の製造方法は、絶縁性基板上に遮光膜となる金属膜及び絶縁膜を介して堆積された半導体膜に形成された薄膜トランジスタ及び画素部を有する半導体装置の製造方法において、上記絶縁性基板上に、上記金属膜、絶縁膜及び半導体膜を順次堆積する工程と、上記絶縁膜及び半導体膜を所定の形状にパターニングした後、上記絶縁膜及び半導体膜をマスクに上記金属膜の露出領域を酸化する工程とを有することを特徴とするものである。

【0011】また、請求項2記載の本発明の半導体装置の製造方法は、絶縁性基板上に遮光膜となる金属膜及び絶縁膜を介して堆積された半導体膜に形成された薄膜トランジスタ及び画素部を有する半導体装置の製造方法において、上記絶縁性基板上に、上記金属膜を堆積した後、該金属膜の表面を所定の厚さだけ酸化する工程と、上記工程で形成された酸化膜上に上記半導体膜を堆積する工程と、上記絶縁膜及び半導体膜を所定の形状にパターンニングした後、上記絶縁膜及び半導体膜をマスクに上記金属膜の露出領域を酸化する工程とを有することを特徴とするものである。

【0012】更に、請求項3記載の本発明の半導体装置の製造方法は、上記金属膜を、Ta、Ti、Mo、Wのいずれかの高融点金属膜とすることを特徴とする、請求項1又は請求項2記載の半導体装置の製造方法である。

【0013】

【発明の実施の形態】以下、発明の実施の形態に基づいて本発明について詳細に説明する。

【0014】図1は請求項1記載の本発明の実施の形態の製造工程図であり、図2は請求項2記載の本発明の実施の形態の製造工程図である。

【0015】以下に、図1を用いて、請求項1記載の本発明の実施の形態の製造工程を説明する。

【0016】まず、300mm<sup>2</sup>程度のガラス基板等の絶縁性基板1の表面を洗浄後、遮光膜として、金属膜2をスパッタリング法を用いて、厚さ100nm程度堆積させる。尚、金属膜2としては、後の工程における高熱処理に対して耐性を有し、酸化することにより透明になる金属であれば良く、Ta、Ti、Mo、W等の高融点金属膜が望ましい。

【0017】次に、絶縁膜3として、酸化シリコン膜(SiO<sub>2</sub>)や窒化シリコン膜(SiN)をCVD法やスパッタリング法を用いて、厚さ50～100nm程度堆積させる。続いて、全面にアモルファスシリコン膜4aをCVD法を用いて厚さ10～50nm程度堆積させる(図1(a))。

【0018】次に、フォトリソグラフィを用いて、フォトレジスト(図示せず。)を所定の形状にパターンニングし、該パターンニングされたフォトレジストをマスクに半導体膜4となるアモルファスシリコン膜4a及び絶縁膜3を連続してエッチングする(図1(b))。これにより、アモルファスシリコン膜4a及び絶縁膜3がエッチングされた領域は、金属膜2が露出した状態になる。

【0019】次に、アモルファスシリコン膜4a及び絶縁膜3をマスクに、酸素雰囲気中で、550℃で数時間のアニールまたは陽極酸化法を用いて、金属膜2の酸化を行うと、金属膜2の露出した部分だけが選択的に酸化され、金属酸化膜5となり、アモルファスシリコン膜4aの下部には、セルフアラインで、金属膜2からなる遮光膜が形成される(図1(c))。

【0020】その後、周知の技術を用いて、例えば、600℃で20時間以上のアモルファスシリコン膜4aを結晶化し、ポリシリコン膜4bを形成し、ゲート絶縁膜6、ゲート電極7を形成し、層間絶縁膜8を堆積し、コンタクトホール9、ソース/ドレイン電極10を形成し、TFTを製造する(図1(d))。

【0021】次に、図2を用いて、請求項2記載の本発明の実施の形態の製造工程を説明する。

【0022】まず、300mm<sup>2</sup>程度のガラス基板等の絶縁性基板1の表面を洗浄後、遮光膜として、金属膜2をスパッタリング法を用いて、厚さ200nm程度堆積させる。尚、金属膜2としては、上述の実施の形態と同様にTa、Ti、Mo、W等の高融点金属膜が望ましい。

【0023】次に、酸素雰囲気中でのアニールまたは陽極酸化法を用いて、金属膜2の表面を100nm程度酸化して、金属酸化膜5を形成する。続いて、全面にアモルファスシリコン膜4aをCVD法を用いて厚さ10～50nm程度堆積させる(図2(a))。

【0024】次に、フォトリソグラフィを用いて、フォトレジスト(図示せず。)を所定の形状にパターンニングし、該パターンニングされたフォトレジストをマスクに半導体膜4となるアモルファスシリコン膜4a及び絶縁膜3を連続してエッチングする(図2(b))。これにより、アモルファスシリコン膜4a及び絶縁膜3がエッチングされた領域は、金属膜2が露出した状態になる。

【0025】次に、アモルファスシリコン膜4a及び絶縁膜3をマスクに、酸素雰囲気中でのアニールまたは陽極酸化法を用いて、金属膜2の酸化を行うと、金属膜2の露出した部分だけが選択的に酸化され、金属酸化膜5となり、アモルファスシリコン膜4aの下部には、セルフアラインで、金属膜2からなる遮光膜が形成される(図2(c))。

【0026】その後、周知の技術を用いて、アモルファスシリコン膜4aを結晶化し、ポリシリコン膜4bを形成し、ゲート絶縁膜6、ゲート電極7を形成し、層間絶縁膜8を堆積し、コンタクトホール9、ソース/ドレイン電極10を形成し、TFTを製造する(図2(d))。

【0027】尚、上記本発明の実施の形態において、アモルファスシリコン膜4aを結晶化する工程により、ポリシリコン膜4bの半導体膜を形成したが、アモルファスシリコン膜4a堆積工程において、アモルファスシリコン膜4a堆積の代わりに直接CVD法を用いてポリシリコン膜4bを堆積する方法でも実施可能である。

【0028】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、遮光膜のパターン加工のためのプロセスが必要ないため、工程の大幅な増加を招くことはない。また、遮光膜は上層の半導体膜及び絶縁膜をマスク

5

として酸化されるため、半導体膜に対してセルフアラインで形成することができる。これにより、開口率が低下することはない。また、遮光膜により、半導体膜に段差が生じないため、半導体膜の段切れを起こすこともない。

【0029】したがって、本発明を大型基板、例えば300mm<sup>2</sup>のガラス基板上に応用すれば、アクティブマトリックス型の画像表示装置の画素スイッチ素子や、周辺駆動回路を高い信頼性と高開口率で製造することが可能となり、高性能で低コストのTFTを製造することが

【図面の簡単な説明】

【図1】請求項1記載の本発明の実施の形態の製造工程図である。

【図2】請求項2記載の本発明の実施の形態の製造工程図である。

【図3】(a)は、従来のチャネル領域に遮光膜を形成\*

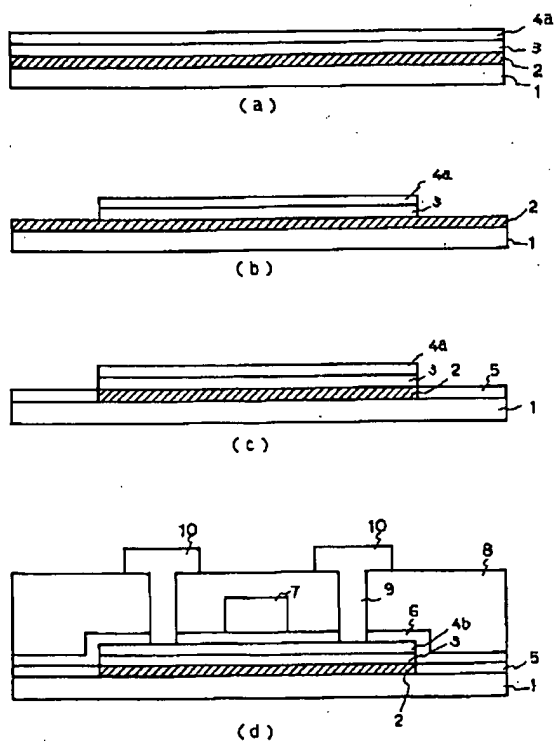
\*したTFTの断面図であり、(b)は、従来のチャネル領域に遮光膜を形成したTFTの平面図である。

【図4】従来のチャネル領域に遮光膜が形成されたTFTの製造工程である。

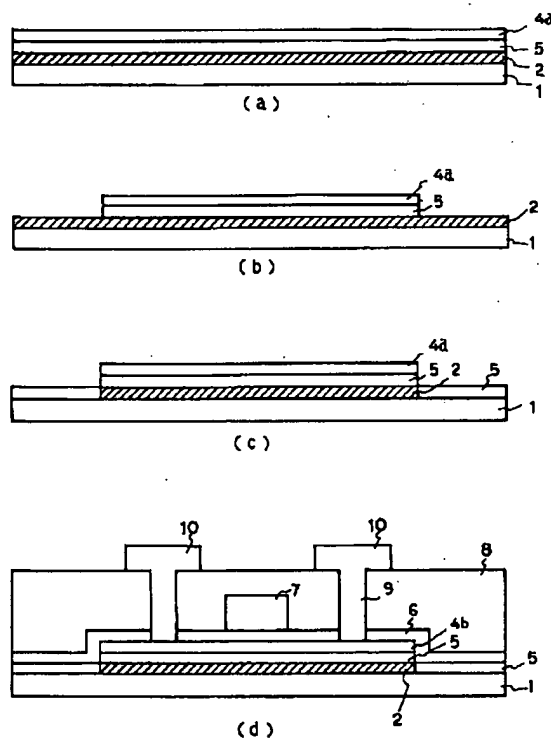
【符号の説明】

- 1 絶縁基板
- 2 遮光膜
- 3 絶縁膜
- 4 半導体膜
- 4a アモルファスシリコン膜
- 4b ポリシリコン膜
- 5 金属酸化膜
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 層間絶縁膜
- 9 コンタクトホール
- 10 ソース/ドレイン電極

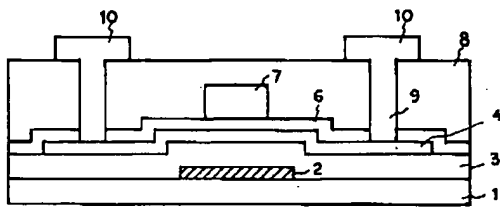
【図1】



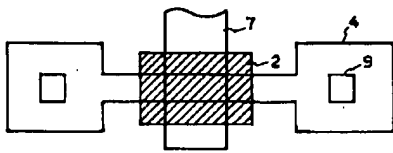
【図2】



【図3】

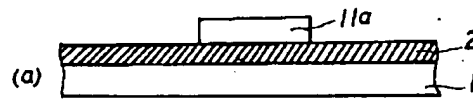


(a)

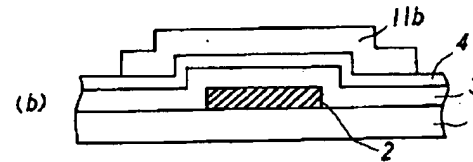


(b)

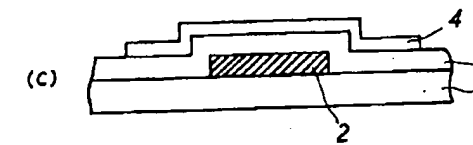
【図4】



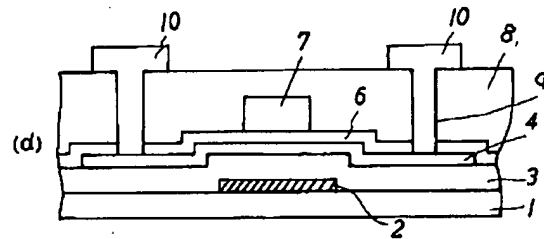
(a)



(b)



(c)



(d)